

**WATCHDOG TIMER**

Patent Number: JP2001005695  
Publication date: 2001-01-12  
Inventor(s): SANTSUKE TOSHIYUKI; NODA SHINICHI; TAKAHASHI YASUYUKI; MAEDA KOICHI  
Applicant(s): DENSO CORP  
Requested Patent: ☐ JP2001005695  
Application Number: JP19990175402 19990622  
Priority Number(s):  
IPC Classification: G06F11/30  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To cope with variation in the oscillation frequency of a main oscillation source for driving a CPU.

**SOLUTION:** A watchdog timer(WDT) counter 13 in the WDT 6 is constituted as a free run timer starting counting operation at every time the counter 13 is cleared by a CPU. A lower limit value and an upper limit value are written in a lower limit register 15 and an upper limit register 16 by the CPU, respectively. When the count value of the counter 13 is less than the lower limit value or exceeds the upper limit value, a comparator 14 outputs a reset signal to the CPU and writes the state of the count value in a WDT status register 17. When the oscillation frequency of the main oscillation source of the CPU is fluctuated, the CPU is reset, so that a cause of the reset of the CPU can be judged on the basis of the contents stored in the register 17.

---

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-5695

(P2001-5695A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 11/30

識別記号

3 1 0

F I

G 0 6 F 11/30

テーマト (参考)

3 1 0 E 5 B 0 4 2

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号

特願平11-175402

(22) 出願日

平成11年6月22日 (1999.6.22)

(71) 出願人 - 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者

三津江 敏之

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(72) 発明者

野田 真一

愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

(74) 代理人

100071135

弁理士 佐藤 強

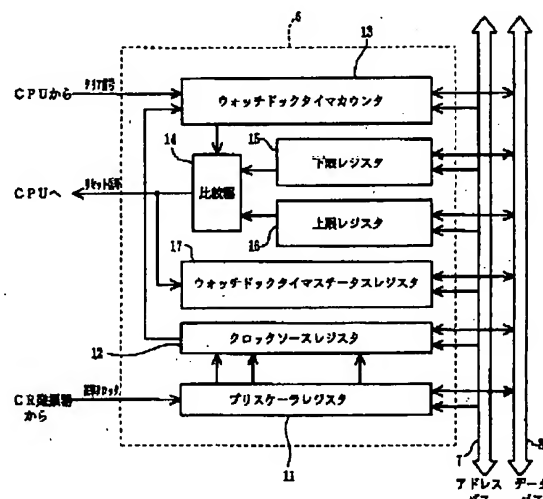
最終頁に続く

(54) 【発明の名称】 ウォッチドッグタイマ

(57) 【要約】

【課題】 CPUを動作させるための主発振源の発振周波数が変動した場合に対処できるようにする。

【解決手段】 ウォッチドッグタイマ6のWDTカウンタ13はCPUによりクリアされる毎にカウント動作を開始するフリーランタイマとして構成されている。下限レジスタ15及び上限レジスタ16はCPUにより下限値及び上限値がそれぞれ書込まれるようになっており、比較器14は、WDTカウンタ13のカウント値が下限値を下回ったり、上限値を上回ったりしたときはCPUにリセット信号を出力すると共に、そのことをWDTステータスレジスタ17に書込む。従って、CPUの主発振源の発振周波数が変動したときは、CPUがリセットされるので、WDTステータスレジスタ17の記憶内容に基づいてCPUがリセットされた原因を判断することができる。



13: カウント手段  
14: 異常信号出力手段  
17: 記憶手段

【特許請求の範囲】

【請求項1】 主発振源からの動作クロックに基づいて動作するCPUを監視するウォッチドッグタイマにおいて、

前記CPUによりタイマクリア処理される毎に基準クロックに基づいてカウント動作を初期値から実行するように設けられたカウント手段と、

このカウント手段がカウント動作を開始してから前記CPUによりタイマクリア処理されるまでのカウント値が予め設定された下限値よりも小さいときは前記CPUへ異常信号を出力する異常信号出力手段とを備えたことを特徴とするウォッチドッグタイマ。

【請求項2】 前記異常信号出力手段は、前記CPUによりタイマクリア処理されるまでのカウント値が予め設定された上限値よりも大きいときは前記CPUへ異常信号を出力することを特徴とする請求項1記載のウォッチドッグタイマ。

【請求項3】 前記異常信号出力手段が異常信号を出力したときは異常内容を記憶する記憶手段を備えたことを特徴とする請求項1または2記載のウォッチドッグタイマ。

【請求項4】 前記異常信号出力手段は、前記CPUによりデータ設定可能なレジスタと比較器とから構成され、

前記比較器は、前記カウント手段のカウント値とレジスタに記憶されたデータとの比較に基づいて異常信号を出力することを特徴とする請求項1乃至3の何れかに記載のウォッチドッグタイマ。

【請求項5】 前記主発振源は、発振逡倍回路を含んで構成されていることを特徴とする請求項1乃至4の何れかに記載のウォッチドッグタイマ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主発振源からの動作クロックに基づいて動作するCPUを監視するウォッチドッグタイマに関する。

【0002】

【従来の技術】従来より、CPUの暴走検出回路としては、主発振源とは異なる発振源からのクロックに基づいて動作するウォッチドッグタイマを使用し、このウォッチドッグタイマをCPUにより一定時間間隔でクリアすることによりウォッチドッグタイマがカウントオーバーしないことでCPUが暴走したときのみを判定するものであった。

【0003】

【発明が解決しようとする課題】ところで、近年、主発振源としてPLL等の逡倍回路によるものが供されている。この種の逡倍回路などにて発振動作しているものは、CPUにより書込まれたデータに基づいて発振器からのクロックの周波数を逡倍して出力していることが

ら、書込みデータが例えばノイズにより変化してしまった場合は、主発振源の発振周波数が変動するようになる。

【0004】しかしながら、主発振源の発振周波数が通常よりも高くなったときは、CPUの処理速度が速くなり、ウォッチドッグタイマは限度値に達することなくCPUによりクリアされ続けるので、あたかも正常に動作しているような動作状態となり、主発振源の異常に対処できないという欠点がある。

【0005】本発明は上記事情に鑑みてなされたもので、その目的は、CPUを動作させるための主発振源の発振周波数が変動した場合に対処することが可能となるウォッチドッグタイマを提供することにある。

【0006】

【課題を解決するための手段】請求項1の発明によれば、CPUは主発振源からのクロックに基づいて動作しており、一定時間毎にウォッチドッグタイマにタイマクリア処理している。ウォッチドッグタイマのカウント手段は、CPUによりタイマクリア処理される毎に初期値からカウント動作を実行する。この場合、CPUが正常に動作しているときは、カウント手段はカウント値が限度値を上回ることなくCPUによりタイマクリア処理されるので、カウント手段がオーバーフローすることはない。

【0007】また、CPUが主発振源の発振異常にかかわらず暴走すると、カウント手段はCPUによりタイマクリア処理されなくなるので、カウント手段によるカウント値が限度値を上回ってオーバーフローするようになる。これにより、異常信号出力手段がCPUへ異常信号を出力するので、CPUの暴走状態を解消することができる。

【0008】さて、主発振源が通常よりも高い周波数で異常発振した場合は、カウント手段は通常よりも小さなカウント値でCPUによりタイマクリア処理されるようになる。このような場合、異常信号出力手段はCPUに異常信号を出力するので、CPUは例えば停止するようになり、主発振源の異常発振に対処することができる。

【0009】この場合、主発振源が通常よりも低い周波数で異常発振した場合は、CPUの処理速度が遅くなり、カウント手段のカウント値が限度値となってオーバーフローするので、異常信号出力手段がCPUに異常信号を出力することにより主発振源の異常発振に対処することができる。

【0010】請求項2の発明によれば、主発振源が通常よりも低い周波数で異常発振した場合は、カウント手段は通常よりも大きなカウント値でCPUによりタイマクリア処理されるようになる。このような場合、異常信号出力手段はCPUに異常信号を出力するので、CPUは例えば停止するようになり、主発振源の異常に対処することができる。

【0011】請求項3の発明によれば、異常信号出力手段が異常信号を出力したときは異常内容は記憶手段に記憶されるので、記憶手段に記憶されている異常内容に基づいて主発振源の異常内容を判断して迅速に対処することができる。

【0012】請求項4の発明によれば、CPUによりレジスタにデータを記憶することにより異常信号出力手段がカウント手段のカウント値に基づいて異常信号を出力するタイミングのカウント値を任意に変更することができるので、使い勝手に優れている。

【0013】請求項5の発明によれば、発振逡倍回路はノイズの影響により逡倍動作が誤動作する虞があるので、このような発振逡倍回路を使用する構成に対して有効である。

【0014】

【発明の実施の形態】以下、本発明の一実施の形態を図面を参照して説明する。図2はワンチップマイクロコンピュータの全体構成を概略的に示している。この図2において、ワンチップマイクロコンピュータ1は、CPU2、プログラムが記憶されたROM3、ワーキングデータ記憶用のRAM4、各周辺回路5及びウォッチドッグタイマ6を備えて構成されている。

【0015】CPU2とROM3、RAM4、各周辺回路5及びウォッチドッグタイマ6とはアドレスバス7及びデータバス8などのシステムバスを通じて接続されており、CPU2とそれらの間でシステムバスを通じてデータの授受が行われるようになっている。

【0016】ここで、DPLL (Digital Phase Locked Loop) 9はCR発振器10と共に主発振源を構成するもので、CR発振器10からのクロックの周波数を逡倍することにより動作クロックとしてCPU2に出力するようになっている。このDPLL9は、一般的なPLLの回路をデジタル回路に置き換えたもので、この種のDPLLとして出願人は先に特開平8-265111号公報のものを出願しており、フィルタの機能をCPU2で実行すると共に逡倍数をCPU2から書き込み可能となっている。また、CR発振器10からのクロックはウォッチドッグタイマ6に直接出力するようになっている。

【0017】図1はウォッチドッグタイマ6をブロック図で示している。この図1において、プリスケアラレジスタ11はCR発振器10からのクロックをCPU2により設定された分周条件に基づいて分周する。クロックソースレジスタ12は、プリスケアラレジスタ11からの分周信号に基づいてCPU2により設定された生成条件でクロックを生成する。

【0018】ウォッチドッグタイマカウンタ（以下、WDTカウンタ）（カウント手段に相当）13は、CPU2により設定された初期値（通常は零）からクロックソースレジスタ12からのクロックが入力する毎にカウント値をインクリメントするカウント動作を実行するもの

で、カウント値を比較器14（異常信号出力手段に相当）に出力すると共に、オーバフローしたときはそのことを比較器14に通知する。

【0019】下限レジスタ15及び上限レジスタ16はCPU2により下限値及び上限値がそれぞれ設定されるようになっており、比較器14は、WDTカウンタ13のカウント値と各レジスタ15、16の下限値及び上限値とを比較することにより後述するようにCPU2へリセット信号（異常信号に相当）を出力すると共に、WDTカウンタ13からオーバフローしたことを通知されたときもリセット信号を出力するようになっている。この場合、下限レジスタ15及び上限レジスタ16に設定されるデータとしては、DPLL9からのクロックの周波数の正常変動範囲の下限値及び上限値にそれぞれ対応するWDTカウンタ13のカウント値である。

【0020】比較器14は、CPU2にリセット信号を出力するときは、ウォッチドッグタイマステータスレジスタ（以下、WDTステータスレジスタ）（記憶手段に相当）17に異常内容を書込むようになっている。

【0021】次に上記構成の作用について説明する。ワンチップマイクロコンピュータ1が動作している状態では、ウォッチドッグタイマ6のWDTカウンタ13は、クロックソースレジスタ12からの動作クロックに基づいてカウント動作を実行している。

【0022】ここで、CPU2が正常に動作しているときは、CPU2はウォッチドッグタイマに対して一定周期でクリア信号を出力しており、WDTカウンタ13のカウント値が上限レジスタ16に設定された上限値を上回ることなくクリアされるので、WDTカウンタ13はフリーランタイムとして動作している。

【0023】さて、CPU2が暴走すると、CPU2はウォッチドッグタイマ6にクリア信号を出力しなくなり、WDTカウンタ13のカウント値が限度値を上回ってオーバフローするようになるので、WDTカウンタ13から比較器14にそのことが通知される。

【0024】ここで、比較器14は、WDTカウンタ13からオーバフローしたことが通知されたときはCPU2にリセット信号を出力するので（図3参照）、CPU2はリセットされる。このとき、比較器14は、リセット信号を出力したときは、WDTカウンタ13からのオーバフローの通知に応じてリセット信号を出力したことをWDTステータスレジスタ17に記憶するので、CPU2がリセットされた際にWDTステータスレジスタ17の記憶内容を分析することにより、CPU2の暴走により当該CPU2がリセットされたと判断することができる。

【0025】ところで、DPLL9はCPU2により設定されたデータに基づいて逡倍動作を実行することから、例えば設定されたデータのビットがノイズの影響により変化してしまった場合は、DPLL9の逡倍動作が

異常となって発振周波数が高くなり、CPU 2に与えられる動作クロックの周波数が通常よりも高くなることもある。

【0026】このような場合、CPU 2の処理速度が速くなることから、CPU 2によるウォッチドッグタイマ6に対するクリア周期が通常よりも短くなるので、WDTカウンタ13のカウント値が通常よりも小さなカウント値でCPU 2によりクリアされるようになる（図3参照）。

【0027】ここで、比較器14は、WDTカウンタがクリアされたときのカウント値が下限レジスタ15に記憶されている下限値を下回っていたときは、CPU 2にリセット信号を出力するので、CPU 2及びDPLL 9を含むシステム全体はリセットされるようになる。この場合、比較器14は、リセット信号を出力したときは、カウント値が下限値を下回ったことに応じてリセット信号を出力したことをWDTステータスレジスタ17に記憶するので、CPU 2がリセットされた際にWDTステータスレジスタ17の記憶内容を分析することにより、DPLL 9が通常よりも周波数が高く異常発振したことによりCPU 2がリセットされたことを判断することができる。

【0028】一方、DPLL 9の通倍動作が異常となって発振周波数が通常よりも低くなった場合は、CPU 2に与えられる動作クロックの周波数が通常よりも低くなることもある。

【0029】このような場合、CPU 2の処理速度が遅くなることから、CPU 2によるウォッチドッグタイマ6に対するクリア周期が通常よりも長くなるので、WDTカウンタ13のカウント値が通常よりも大きなカウント値でCPU 2によりクリアされるようになる（図3参照）。

【0030】ここで、比較器14は、WDTカウンタ13がクリアされたときのカウント値が上限レジスタ16に記憶されている上限値を上回っていたときは、CPU 2にリセット信号を出力するので、CPU 2及びDPLL 9を含むシステム全体はリセットされるようになる。この場合、比較器14は、リセット信号を出力したときは、カウント値が下限値を下回ったことに応じてリセット信号を出力したことをWDTステータスレジスタ17に記憶するので、CPU 2がリセットされた際にWDTステータスレジスタ17の記憶内容を分析することによ

り、DPLL 9の通常よりも周波数が低く異常発振したことによりCPU 2がリセットされたことを判断することができる。

【0031】このような実施の形態によれば、ウォッチドッグタイマ6に、WDTカウンタ13がCPU 2によりクリアされたときのカウント値が通常範囲から外れたときはCPU 2に対してリセット信号を出力する機能を付加するようにしたので、CPU 2の暴走時に加えてDPLL 9が通常の発振周波数範囲から外れて異常発振した場合もCPU 2をリセットすることができる。これにより、DPLL 9のような発振連倍回路の発振異常に対処することができる。

【0032】また、ウォッチドッグタイマ6に、CPU 2にリセット信号を出力したときは、その異常内容をWDTステータスレジスタ17に記憶するようにしたので、CPU 2がリセットされたときのWDTステータスレジスタ17の記憶内容に基づいてCPU 2がリセットされた原因を判断することができ、異常に対して迅速に対処することができる。

【0033】本発明は、上記実施の形態に限定されるものではなく、次のように変形または拡張できる。上限レジスタ16を省略し、DPLL 9の発振周波数が通常よりも高くなる異常発振のみに対応するようにしてもよい。この場合、DPLL 9の発振周波数が低くなったときは、CPU 2の処理速度が遅くなり、ウォッチドッグタイマ6のWDTカウンタ13がオーバーフローしてCPU 2がリセットされるので、DPLL 9の異常発振に対して対処することができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態におけるウォッチドッグタイマを示すブロック図

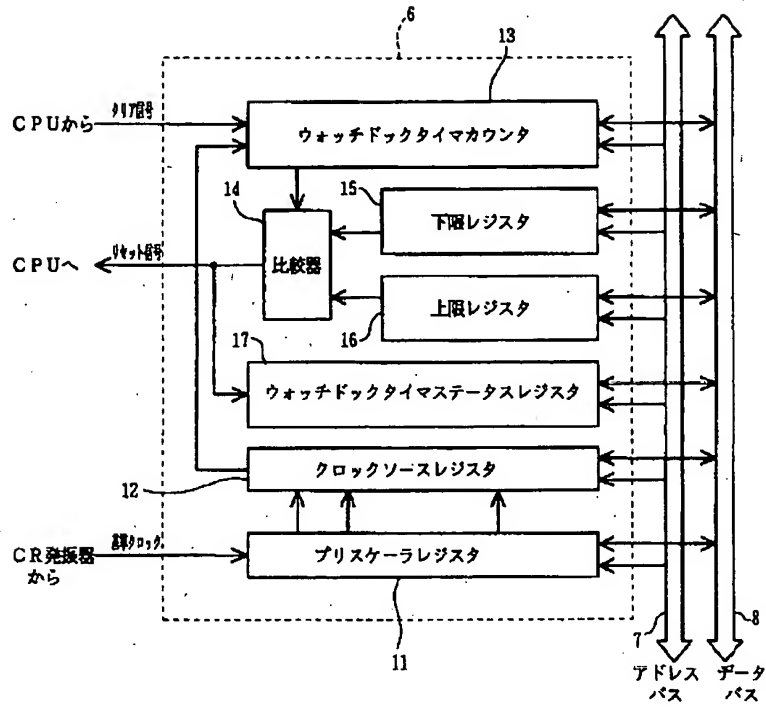
【図2】マイクロコンピュータの構成を示すブロック図

【図3】ウォッチドッグタイマのカウント値とリセット動作との関係を示す図

#### 【符号の説明】

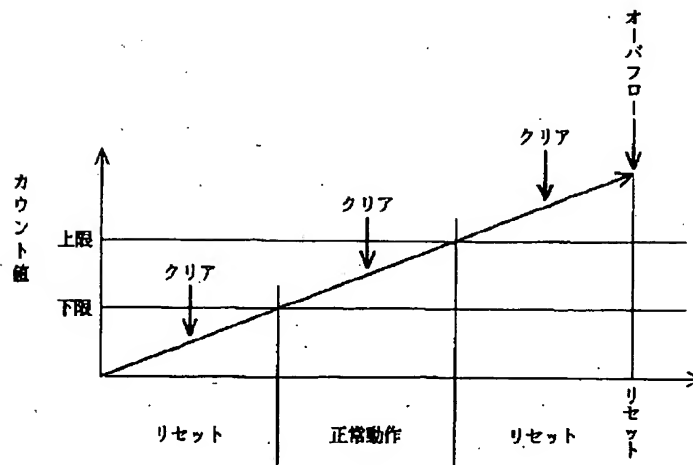
1はワンチップマイクロコンピュータ、2はCPU、6はウォッチドッグタイマ、7はアドレスバス、8はデータバス、9はDPLL（主発振源）、10はCR発振器（主発振源）、14は比較器（異常信号出力手段）、15は下限レジスタ、16は上限レジスタ、17はウォッチドッグタイマレジスタ（記憶手段）である。

【図1】

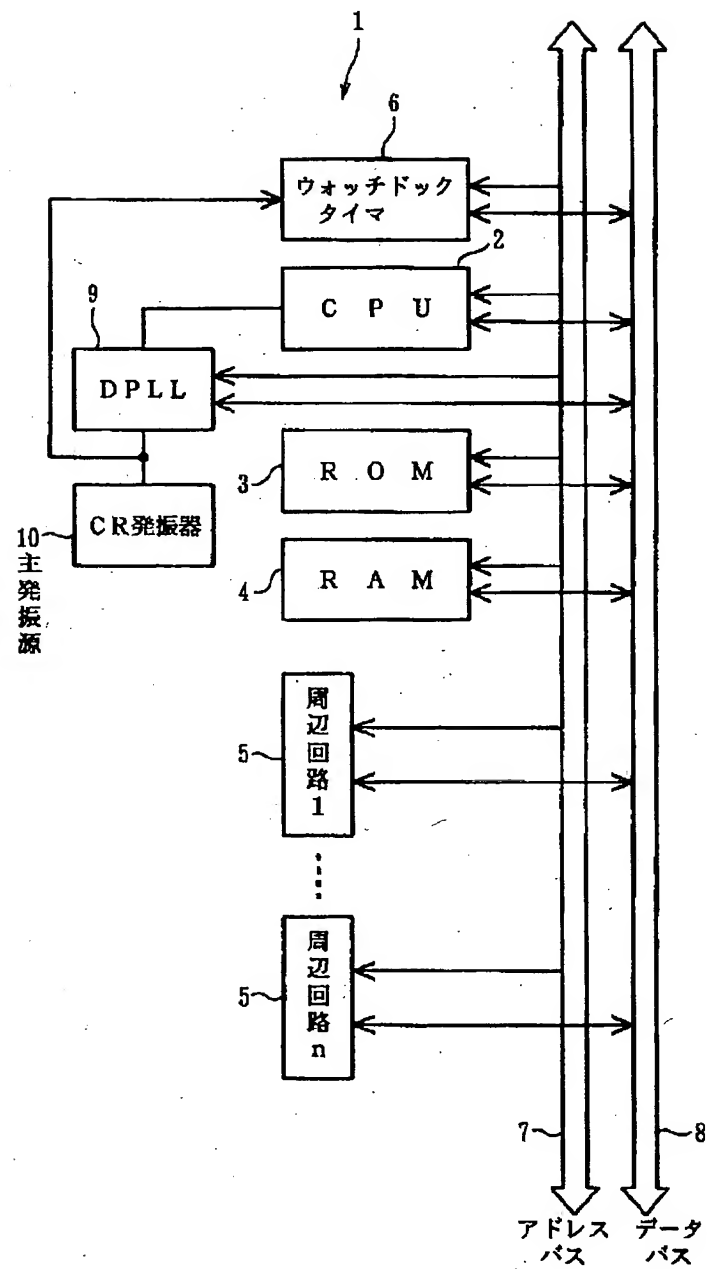


13: カウント手段  
14: 異常信号出力手段  
17: 記憶手段

【図3】



【図2】



フロントページの続き

(72)発明者 ▲高▼橋・康行  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72)発明者 前田 耕一  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

Fターム(参考) 5B042 GA38 JJ13 JJ17 JJ21 JJ25  
MA08 MC15